

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

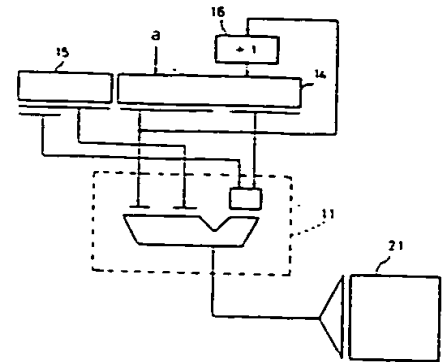
**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(54) ADDRESS CONTROL SYSTEM

(11) 2-310658 (A) (43) 26.12.1990 (19) JP
 (21) Appl. No. 64-131280 (22) 26.5.1989
 (71) FUJITSU LTD (72) HIROYUKI TSUJITA(1)
 (51) Int. Cl.³ G06F13/38

PURPOSE: To realize high-speed transfer by providing the inside of a data transferring device with the register of a transfer processing identification number, a flag register, an address register, and a buffer address generating means, and updating the address register by half the number portion after the processing of half of the identification numbers is finished, and starting the processing of a following half portion.

CONSTITUTION: When the processing of half the number close to an address shown by the address register is finished wholly, base addresses are updated by the area portion of the processing of half the number, and simultaneously, the contents of a flag is turned into an unprocessed state. The buffer address generation circuit 11 generates the address of a buffer memory 21 from the value of a base address register 14 and the value of an ID register 15. Since the base address holds the head address of the area of half the number portion of parallel processing, it has the higher order of the address necessary for the buffer memory 21, and a lower order is generated from the identification number. Thus, data transfer is speeded up.



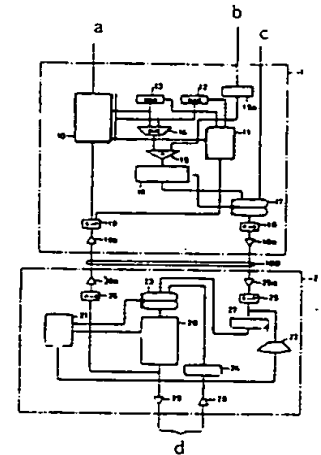
a: reset

(54) LOCAL CHANNEL CONTROL DEVICE

(11) 2-310659 (A) (43) 26.12.1990 (19) JP
 (21) Appl. No. 64-132326 (22) 25.5.1989
 (71) NEC ENG LTD (72) ATSUSHI TAKAHASHI
 (51) Int. Cl.³ G06F13/38, G06F13/12

PURPOSE: To reduce hardware quantity, and to shorten transferring time by providing a means to detect frame data quantity stored in a data buffer, the means to hold a comparison value, the means to compare data quantity and the comparison value, and the means to inhibit the sending of frame data at the time of the coincidence of a compared result.

CONSTITUTION: The data of a main storage device is sent to a remote channel control device 2 through the parallel/serial converter 18 and the driver 18a of a local channel control device 1. The data quantity of a data frame stored in the data buffer 10 calculated by a subtracter 14 is compared with the comparison value set in a reception register 15a by a comparator 15. When coincidence is detected by the comparator 15, a buffer control circuit 16 generates a control frame to inhibit the data frame from the remote channel control device 2 to the local channel control device 1. Thus, the hardware quantity is reduced, and the transferring time is shortened.



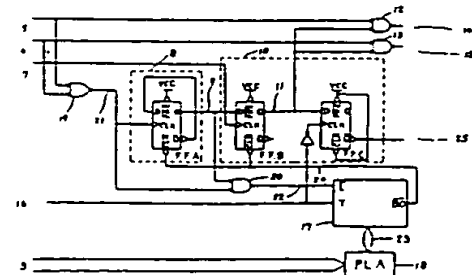
11: data transfer control circuit, 20: data buffer, 21: data transfer control circuit, 22: decoder, 24, 27: reception register, a: main storage device, b: input/output device, c: main storage device, d: peripheral device

(54) I/O ACCESS SYSTEM

(11) 2-310660 (A) (43) 26.12.1990 (19) JP
 (21) Appl. No. 64-131306 (22) 26.5.1989
 (71) HITACHI LTD (72) JUNJI NAKADA(6)
 (51) Int. Cl.³ G06F13/42

PURPOSE: To improve the efficiency of I/O access by inhibiting the input of a command signal to an I/O device for a while, and setting time to delay the start of access according to the I/O device in the case to access the I/O device by a bus master.

CONSTITUTION: When an I/O address signal is inputted to a PLA 18 from an address bus 3, the PLA 18 outputs a count number corresponding to the recovery time for every I/O device set beforehand to a down counter 17. When the down counter 17 finishes count-down and the recovery time is satisfied, the borrow-out output 24 of the down counter 17 becomes L-level, and an F.F.A and an F.F.B are cleared, and the inhibition of the I/O command signals 5, 6 is canceled, and a wait signal 25 is canceled as synchronizing with the fall of a clock 16, and the I/O access is finished.



5: I/O read-out signal, 6: I/O write-in signal, 7: address bus, 11: gate controlled I/O read-out signal, 12: gate controlled I/O write-in signal, 13: gate controlled I/O read-out signal, 14: gate controlled I/O write-in signal, 15: gate controlled I/O read-out signal, 16: clock, 17: down counter, 18: PLA, 19: F.F.A, 20: F.F.B, 21: F.F.C, 22: F.F.D, 23: F.F.E, 24: borrow-out output, 25: wait signal

⑬ 日本国特許庁(JP)

⑭ 特許出願公開

⑯ 公開特許公報(A) 平2-310658

⑰ Int. Cl.³
G 06 F 13/38

識別記号 庁内整理番号
3 1 0 C 8840-5B

⑱ 公開 平成2年(1990)12月26日

審査請求 未請求 請求項の数 1 (全6頁)

⑳ 発明の名称 アドレス制御方式

㉑ 特 願 平1-131280

㉒ 出 願 平1(1989)5月26日

㉓ 発 明 者 辻 田 博 之 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

㉔ 発 明 者 前 田 美 由 紀 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

㉕ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉖ 代 理 人 弁理士 青 木 朗 外4名

明 記 書

1. 発明の名称

アドレス制御方式

2. 特許請求の範囲

1. 主記憶装置と外部装置との間に配置され、前記外部装置と前記主記憶装置との間のデータ転送を制御するデータ転送装置におけるアドレス制御方式であって、前記データ転送装置は転送用のバッファメモリを有し、前記バッファメモリを介し並列的に転送処理するものにおいて、

前記データ転送装置内に、

前記バッファメモリの連続する領域の各々に、転送処理のため一連の識別番号を割り当て、バッファメモリにアクセスする転送処理の識別番号を格納するレジスタと、

前記識別番号の処理毎にその処理状況を保持するフラグレジスタと、

前記識別番号を割り当てた領域のベースアドレスを保持するアドレスレジスタと、

前記識別番号とベースアドレスを加算し、新た

なベースアドレスを算出し、前記新たなベースアドレスに基づき全識別番号の内半数の識別番号分の領域に相当するアドレスを更新するバッファアドレス作成手段とを備え、

前記アドレスレジスタの示すアドレスに近い方の半数の識別番号の処理が全て終了したとき、前記アドレスレジスタを半数分更新するとともに、該当する処理状況のフラグをリセットし、次の半数分の処理を開始するようにしたことを特徴とするバッファメモリのアドレス制御方式。

3. 発明の詳細な説明

〔概 要〕

主記憶装置と外部装置との間に配置されるデータ転送装置内のデータ転送用バッファメモリのアドレス制御方式に関し、

外部装置と主記憶装置との間のデータ転送を高効率かつ効率的に行うことを目的とし、

主記憶装置と外部装置との間に配置され、前記外部装置と前記主記憶装置との間のデータ転送を制御するデータ転送装置におけるアドレス制御方

式であって、前記データ転送装置は転送用のバッファメモリを有し、前記バッファメモリを介し並列的に転送処理するものにおいて、前記データ転送装置内に、前記バッファメモリの連続する領域の各々に、転送処理のため割り当てた一連の識別番号を格納するレジスタと、前記識別番号の処理毎にその処理状況を保持するフラグレジスタと、前記識別番号を割り当てた領域のベースアドレスを保持するアドレスレジスタと、前記識別番号とベースアドレスを加算し、新たなベースアドレスを算出し、前記新たなベースアドレスに基づき全識別番号の内半数の識別番号分の領域に相当するアドレスを更新するバッファアドレス作成手段とを備え、前記アドレスレジスタの示すアドレスに近い方の半分の識別番号の処理が全て終了したとき、前記アドレスレジスタを半数分更新するとともに、該当する処理状況のフラグをリセットし、次の半数分の処理を開始するように構成する。

(a)の順次処理において、データ転送装置2から①のリクエスト(R E Q)を主記憶装置1に送出すると、主記憶装置1のアクセスに要する時間の後、①のデータが主記憶装置1から返送される。データ転送装置2は①のデータを受け取ると、次に、主記憶装置1に対し②のR E Qを送り、同時に外部装置3に対し(a)のデータ転送を行う。

このように、データ転送装置2が主記憶装置1にR E Qを送出し、そのR E Qに対するデータが返送されるまで何らの処理も行われない。

一方、(b)の並列処理において、データ転送装置2が主記憶装置1に対して①のR E Qを送出すると、主記憶装置1からの①のデータの受け取りを持たずに次々と②、③のR E Qを主記憶装置1に送出する。このように、R E Qを連続して送出し、主記憶装置1からデータが①、②、③と返送されてくると直ちに外部装置3に対し、②のデータの受信中に①のデータである(a)を送出し、順次(b)、(c)のように転送する。

(産業上の利用分野)

本発明は、主記憶装置と、高速入出力装置や拡張記憶装置等の外部装置との間のデータ転送を制御するデータ転送装置におけるアドレス制御方式に関し、特に前記データ転送装置内の転送用のバッファメモリの領域割当とそのアドレスの制御に関する。

(従来の技術)

第6図はデータ転送装置の配置図であり、図示のようにデータ転送装置2は主記憶装置1と外部装置3との間に配置される。データ転送装置2には転送用のバッファメモリ21が設けられる。主記憶装置1から外部装置3へのデータ転送において、バッファメモリ21は①、②、③の順にデータを主記憶装置1から受け取り、全部受け取ると順に(a)、(b)、(c)の順に外部装置3に転送する。

第7図(a)、(b)はデータ転送装置における転送処理の説明図である。(a)は順次処理であり、(b)は並列処理である。

(発明が解決しようとする課題)

上述の従来のデータ転送によれば、主記憶装置1からの①、②、③の読出しデータ(フェッチデータ)は外部装置3に限らずC P U等からもアクセスされるため、必ずしも①、②、③の順序でフェッチされるとは限らず、主記憶装置1のバンクビジー等によりフェッチ順序は変動し順に送られて来るとは限らない。そのためバッファメモリ21がどこまで受け取ったかを管理しなければならず、この管理に要する回路量が膨大となる。

第8図はバッファメモリ21の格納状態の説明図であり、斜線部Aは受け取ったデータの領域を示し、空白部Bは他の装置が主記憶装置1の当該領域を使用しているためデータが未着の領域を示している。このようにバッファメモリ21は主記憶装置1からのデータの受信済と未着の領域を有し、所謂、虚受け状態となる。従って、データ転送装置2は外部装置3へ送出可能な領域Aをバッファメモリ21から送出後、未着領域が受信データで充たされるまで外部装置3へのデータ送出を待機し

なければならない。

データ転送装置2内のフラグレジスタ $F_1 \sim F_n$ 及びアドレスレジスタ $R_1 \sim R_n$ は並列処理の数だけ設けられる。フラグは、主記憶装置1にREQを発行し主記憶装置1からのデータ転送を受信済と未着の2つの状態で記憶し、アドレスレジスタにはバッファメモリ21のデータ未着領域のアドレスを記憶しておく。従って、このアドレスは主記憶装置1からデータが返送されてきたときに格納すべき場所を示している。このようにしてREQの発行済となっているバッファアドレスの中で未着領域のアドレスの内、最も小さいアドレスより小さい領域が外部装置3へ送出可能な領域となる。

従って、未着領域のアドレスを格納するため並列処理数分のアドレスレジスタと、その未着領域のアドレスの最小値を求めるための比較回路が必要であり、そのための回路量が膨大になる。

本発明の目的は、データ転送装置内のデータ転送のためのハードウェア量を簡素化し、かつ外部装置と主記憶装置との間のデータ転送を高速かつ

効率的に行うことができるアドレス制御方式を提供することにある。

(課題を解決するための手段)

本発明は、主記憶装置(1)と外部装置(3)との間に配設され、前記外部装置と前記主記憶装置との間のデータ転送を制御するデータ転送装置(2)におけるアドレス制御方式であって、前記データ転送装置は転送用のバッファメモリ(21)を有し、前記バッファメモリを介し並列的に転送処理するものにおいて、前記データ転送装置内に、前記バッファメモリの連続する領域の各々に、転送処理のため割り当てた一連の識別番号の内1個を格納するレジスタ(4)と、前記識別番号の処理毎にその処理状況を保持するフラグレジスタ(42)と、前記識別番号を割り当てた領域のベースアドレスを保持するアドレスレジスタ(44)と、前記識別番号とベースアドレスを加算し、新たなベースアドレスを算出し、前記新たなベースアドレスに基づき全識別番号の内半数の識別番号分の領域に相当するアドレスを

更新するバッファアドレス作成手段(4)とを備え、前記アドレスレジスタの示すアドレスに近い方の半分の識別番号の処理が全て終了したとき、前記アドレスレジスタを半数分更新するとともに、該当する処理状況のフラグをリセットし、次の半数分の処理を開始するようにしたことを特徴とする。

第1図は本発明の原理構成図である。図中、11は識別番号10とベースアドレス2A00を加算しバッファアドレスを作成するバッファアドレス作成回路、12はバッファメモリ21の各領域の状態を格納するフラグレジスタ、13は識別番号10をデコードしフラグレジスタ12の当該領域のフラグを設定するデコーダ、14はベースアドレスを格納するベースアドレスレジスタ、15は現在転送中のフェッチデータに対応する識別番号を格納する10レジスタ、16はアドレスのインクリメント手段である。これらの回路及びバッファメモリ21は前述のようにデータ転送装置2内に設けられ、データ転送装置2は主記憶装置1と外部装置3の間に配設される。

(作 用)

第2図(a)、(b)は第1図の本発明を説明するための模式図である。本図は並列処理すべきデータが8つの場合を示している。(a)において、バッファメモリ21には連続する一連の領域に処理の識別番号10を例えば、0～7まで割り当てる。この場合、ベースアドレス2A00は10 0を示している。(a)の状態では斜線部分の10の0～3及び5がデータ受信済の領域であり、4、6、7がデータ未着の領域である。このような状態は、フラグレジスタ12に第3図(a)のように識別番号10に対応して受信済若しくはリクエスト中で示される。即ち、識別番号10の0～3及び5は受信済であり、4、6、7はリクエスト中であることを示す。

ここで、全ての識別番号の内、前半の半数が受信済であれば、この領域のデータを外部装置3に転送し、未着領域を含む後半の半数についてデータが埋まるのを待つ。(a)の例では0～3までのデータを先ず外部装置3に送出し、4～7は未着領域があるため待機する。そして、(b)に示すように

転送の終了した0～3は7の後に次の未処理領域として設けられる。この場合、領域4にベースアドレス8A00が移動する。

(b)の状態はフラグレジスタでは第3図(b)のように示される。即ち、0～3はこれからリクエストを発行する未処理を示し、5は受信済を示し、4、6、7はリクエスト中を示している。

このような動作を行うために、第1図のベースアドレスレジスタ14にベースアドレス8A00を保持する。インクリメント手段、例えば、カウンタ15はベースアドレスをインクリメントし、第3図(b)のように並列処理の半数の領域に相当するアドレスを更新することができる。フラグに状態は主記憶装置1へREQを発行しているアクセス中か、主記憶装置1からのアクセス終了の受信済の何れかの状態を記憶する。

このように、本発明では、第2図(a)に図示の如く、バッファメモリの各領域に対応づけた0～7の処理の主記憶装置1へのフェッチ要求を順次実行する。前述のように、主記憶装置1からフェッ

チデータが返って来るまでの時間は変動し、(a)の斜線部がフェッチデータの受信済となったとき、フラグの内容は第3図(a)のようになる。そして、アドレスレジスタの示すアドレスに近い半数の処理(第2図(a)の例では識別番号0～3)が全て終了したときベースアドレスを半数の処理の領域分更新すると同時に該当するフラグの内容を第3図(b)の0～3に示すように未処理の状態にする。従って、アドレスレジスタとフラグの状態はそれぞれ第2図(b)、第3図(b)となり、新たに未処理となった識別番号0～3の部分のアクセスを開始する。

〔実施例〕

第4図は本発明の一実施例構成図、第5図はバッファアドレスの作成方法の説明図である。第4図において、バッファアドレス作成回路11はベースアドレスレジスタ14の値と10レジスタ15値からバッファメモリ21のアドレスを作成する。ベースアドレスは並列処理の半数分の領域の先頭アドレスを保持するため、バッファメモリ21に必要なア

ドレスの上位を持ち、下位は識別番号より作成する。即ち、第2図(a)の場合は最下位ビット(LSB)を除くベースアドレスと識別番号を連結することにより得られ、第2図(b)の場合は識別番号の4～7に対しては同様に行い、0～3に対しては第5図に示した位置に1ビットの“1”を加算することにより得られる。従って、“1”を加算する条件は、 $8A00(LSB) \cdot -10(MSB)$ となる。

〔発明の効果〕

以上説明したように、本発明によれば、データ転送装置内のデータ転送のためのハードウェア量を削減化することができ、かつ主記憶装置と外部装置との間のデータ転送を高効率かつ効率的に行うことができる。即ち、バッファメモリのアドレスレジスタを並列処理の数だけ持つ必要はなく、ベースアドレスレジスタとバッファアドレス作成回路を各1個設ければ良く、従って、ハードウェア量の削減とともに効率良くアドレス制御することができる。

4. 図面の簡単な説明

第1図は本発明の原理構成図、

第2図(a)、(b)は本発明のバッファメモリの領域の説明図、

第3図(a)、(b)は本発明のフラグレジスタの内容の説明図、

第4図は本発明の一実施例構成図、

第5図はベースアドレスと識別番号の加算の説明図、

第6図はデータ転送装置の配置図、

第7図(a)、(b)は従来の転送処理の説明図、及び、

第8図はバッファメモリのデータ領域の説明図である。

〔符号の説明〕

- 1…主記憶装置、
- 2…データ転送装置、
- 3…外部装置、
- 11…バッファアドレス作成回路、
- 12…フラグレジスタ、
- 13…デコーダ、

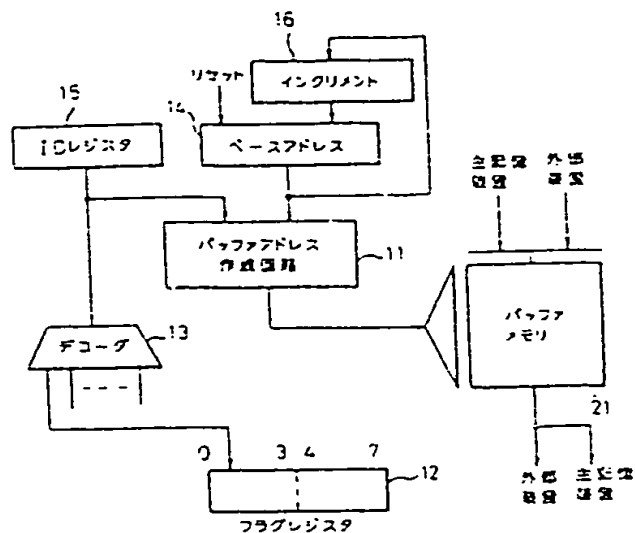
- 14…ベースアドレスレジスタ、
 15…IDレジスタ、
 16…加算回路、
 21…バッファメモリ、
 10…識別番号、
 8A00…ベースアドレス。

特許出願人

富士通株式会社

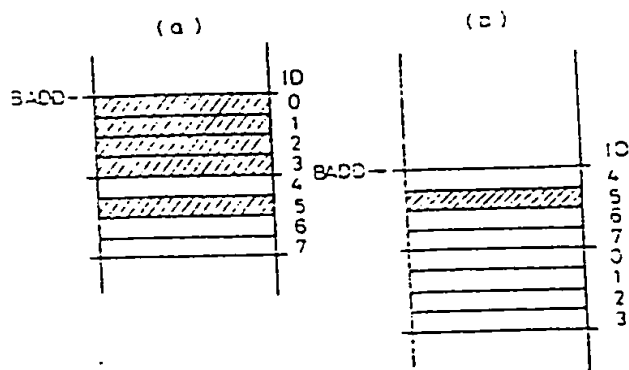
特許出願代理人

弁理士 青 木 朗
 弁理士 石 田 敬
 弁理士 平 岩 賢 三
 弁理士 山 口 昭 之
 弁理士 西 山 健 也



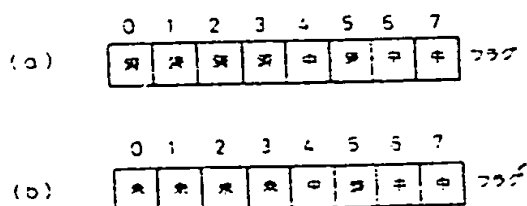
本発明の原理説明図

第 1 図



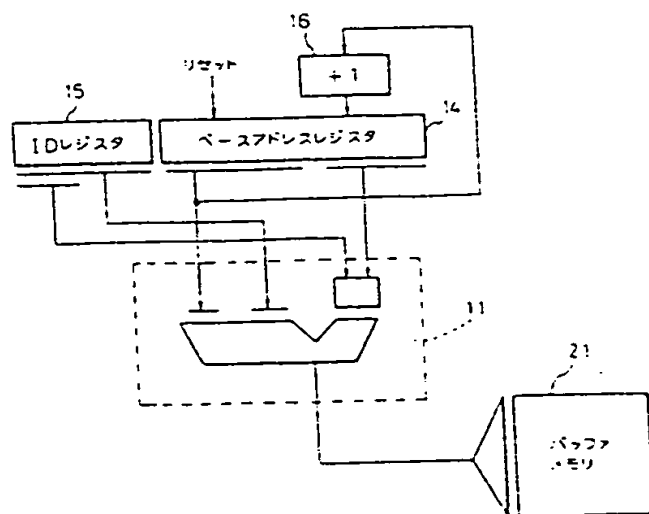
本発明のバッファ構成説明図

第 2 図



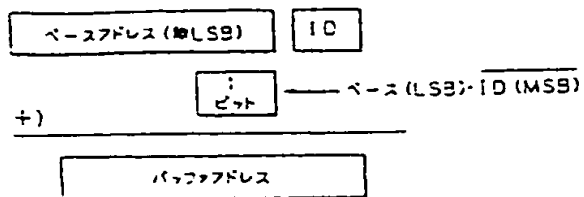
本発明のフラグレジスタ構成説明図

第 3 図



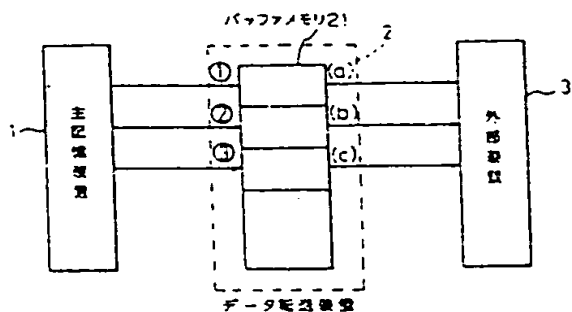
本発明のコード化説明図

第 4 図



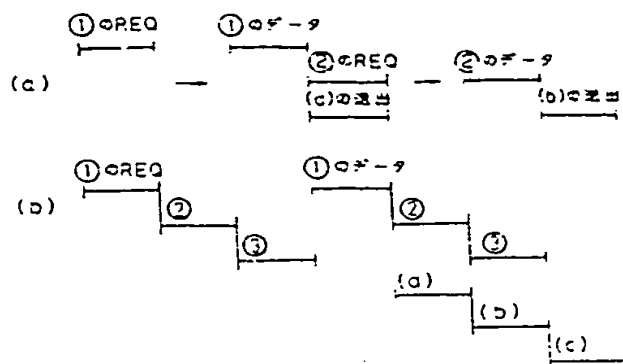
ベースアドレスと識別番号の加算説明図

第5図



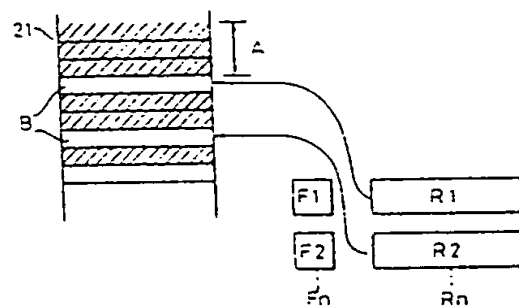
データ転送装置の配置図

第6図



送受の転送装置の説明図

第7図



バッファメモリデータ転送装置

第8図